

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 8月 8日

出 願 番 号
Application Number:

特願2001-241294

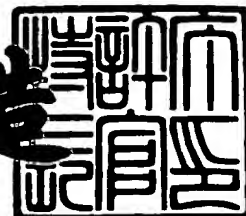
出 願 人
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3084413

【書類名】 特許願

【整理番号】 01000754

【提出日】 平成13年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

 【氏名】 小山内 潤

【特許出願人】

 【識別番号】 000002325

 【氏名又は名称】 セイコーインスツルメンツ株式会社

 【代表者】 入江 昭夫

【代理人】

 【識別番号】 100096378

 【弁理士】

 【氏名又は名称】 坂上 正明

【手数料の表示】

 【予納台帳番号】 008246

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0103799

【プルーフの要否】 不要

【特許請求の範囲】

1

ト電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項2】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一多結晶シリコンのP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の

多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項3】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一の多結晶シリコンの第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の第一

のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項4】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一の多結晶シリコンの第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラッ

プする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法。

【請求項5】 前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項6】 前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項7】 前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項8】 前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または4に記載の相補型MOS半導体装置の製造方法。

【請求項9】 前記半導体基板上に素子分離領域を形成する工程がLOCOS法

であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 0】 前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 1】 前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型 MOS トランジスタのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 2】 前記第一の多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が 1000 \AA から 4000 \AA の範囲であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 3】 前記第一の多結晶シリコンの第一の P 型の領域を形成する工程は不純物としてボロンないし BF_2 をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 4】 前記第一の多結晶シリコンの第一の P 型の領域を形成する工程は不純物としてボロンを用いた電気炉中でのブリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 5】 前記第一の多結晶シリコンの第一の P 型の領域を形成する工程は不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 6】 前記第一の多結晶シリコンの第一の P 型の領域を形成する

工程は多結晶シリコンを堆積すると同時に不純物を濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上ドーピングする化学気相成長法であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 17】 前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されたモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであり、該高融点金属シリサイドの膜厚が 500 \AA から 2500 \AA の範囲であることを特徴とする請求項 1 または 2 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 18】 前記高融点金属はスパッタ法により形成されたコバルトもしくはチタンであり、該高融点金属の膜厚が 100 \AA から 500 \AA の範囲であることを特徴とする請求項 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 19】 前記第二の多結晶シリコンの第二の P 型の領域を形成する工程は不純物としてボロンないし BF_2 を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k} \Omega / \square$ から数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1、2、3、4 に記載の相補型 MOS 半導体装置の製造方法。

【請求項 20】 前記第二の多結晶シリコンの第一の N 型の領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k} \Omega / \square$ から数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1 または 2 または 3 または 4 に記載の相補型 MOS 半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器 (Voltage Detector、以後 VD と表記) や定電圧レギュレータ (Voltage Regulator、以後 VR と表記) やスイッチングレギュレータ (Switching Regulator、以後 SWR と表記など) などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

図 1 9 に従来の半導体装置の模式的断面図を示す。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスター（以後NMOSと表記）と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスター（以後PMOSと表記）とからなる相補型MOS構造（Complementary MOS、以後CMOSと表記）と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。抵抗体はその製造方法の簡便さから、導電型がN型であるCMOSのゲート電極と同一層でかつ同導電型の多結晶シリコンにより形成されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

上記の従来の構造による半導体装置において、標準的なしきい値電圧である0.7V程度のエンハンスメント型のNMOS（以後E型NMOSと表記）は、ゲート電極の導電型がN+型の多結晶シリコンであるためゲート電極と半導体基板の仕事関数の関係からチャネルが半導体基板の表面に形成される表面チャネルであるが、標準的なしきい値電圧である-0.7V程度のエンハンスメント型のPMOS（以後E型PMOSと表記）は、N+型多結晶シリコンであるゲート電極とNウェルの仕事関数の関係からチャネルが半導体基板表面よりも幾分半導体基板内側に形成される埋込みチャネルとなっている。

【 0 0 0 4 】

埋込みチャネル型のE型PMOSにおいて、低電圧動作を実現すべくしきい値電圧を例えば-0.5V以上に設定する場合、MOSトランジスターの低電圧動作の指標であるサブスレッショルド特性は極めて悪化し、従ってPMOSのオフ時におけるリーク電流は増加し、結果として半導体装置の待機時における消費電流が著しく増加し、近年需要が大きく今後もその市場がさらに発展すると言われている携帯電話や携帯端末に代表される携帯機器への適用が困難であるという問題を有している。

【 0 0 0 5 】

一方上記の課題である低電圧動作と低消費電流を両立させる技術的方策として、NMOSのゲート電極の導電型がN型であり、PMOSのゲート電極の導電型をP型としたいいわゆる同極ゲート技術が一般に知られているところである。この場合E型NMOSとE型PMOSともに表面チャネル型のMOSトランジスターであるため、しきい値電圧を小さくしても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

しかし同極ゲートCMOSは、N+多結晶シリコン単極だけのゲート電極であるCMOSに比べ、その製造工程においてNMOS、PMOSともにゲートの極性を各々作り分けるために工程数が増加し製造コストや製造工期の増大を招くという問題を有している。

【 0 0 0 6 】

本発明は低コストで短工期でありかつ低電圧動作や低消費電力であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【 0 0 0 8 】

(1)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの第一のP型領域と

前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【0009】

(2)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一

のP型領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一多結晶シリコンのP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 0 】

(3)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分

離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 1 】

(4)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の第一のN型の領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の第二のP型の領域からなる前記抵抗体の一部の

領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 2 】

(5)

前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 3 】

(6)

前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 4 】

(7)

前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 5 】

(8)

前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 6 】

(9)

前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0017】

(10)

前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0018】

(11)

前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスタのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする相補型MOS半導体装置の製造方法とした。

【0019】

(12)

前記第一の多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が1000Åから4000Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0020】

(13)

前記第一の多結晶シリコンの第一のP型の領域を形成する工程は不純物としてボロンないし BF_2 をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0021】

(14)

前記第一の多結晶シリコンの第一のP型の領域を形成する工程は不純物としてボロンを用いた電気炉中でのプリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0022】

(15)

前記第一の多結晶シリコンの第一のP型の領域を形成する工程は不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記第一の多結晶シリコン膜中に導入する工程からなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0023】

(16)

前記第一の多結晶シリコンの第一のP型の領域を形成する工程は多結晶シリコンを堆積すると同時に不純物を濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上ドーピングする化学気相成長法であることを特徴とする相補型MOS半導体装置の製造方法。

【0024】

(17)

前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されたモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであり、該高融点金属シリサイドの膜厚が500Åから2500Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0025】

(18)

前記高融点金属はスパッタ法により形成されたコバルトもしくはチタンであり、該高融点金属の膜厚が100Åから500Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0026】

(19)

前記第二の多結晶シリコンの第二のP型の領域を形成する工程は不純物としてボロンないし BF_2 を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 7 】

(2 0)

前記第二の多結晶シリコンの第一のN型の領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $k \Omega/\square$ から数十 $k \Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 8 】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

【 0 0 2 9 】

図1は本発明のCMOS半導体装置の一実施例を示す模式的断面図である。P型半導体基板101に形成されたゲート電極が高融点金属シリサイド135とP+型の多結晶シリコン107の積層である所謂ポリサイド構造でありソースとドレインが低濃度拡散119を有するドレインエクステンション構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはり高融点金属シリサイド134とP+型の多結晶シリコン107の積層からなるポリサイド構造であるドレインエクステンション構造のPMOS112とから構成されたCMOSと、フィールド絶縁膜106上に形成されている電圧を分圧するための分圧回路もしくはもしくはは時定数を設定するCR回路などに用いられるP-抵抗体114およびN-抵抗体115とから構成されている。ゲート電極および配線は可能な限り低抵抗としたいため濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含むP+型多結晶シリコン107上に高融点金属シリサイド135を配したポリサイド構造としてある。抵抗体114、115は、シート抵抗値を高く設定してもその抵抗値精度を十分確保できるようにCMOSのゲート電極に比べ膜厚が薄膜である別層の多結晶シリコンにより形成されている。

【 0 0 3 0 】

PMOS112においてゲート電極の導電型をP型とすることで、Nウェル102とゲート電極の仕事関数の関係からE型PMOSのチャネルは表面チャネルとなるが、

表面チャネル型PMOSにおいてはしきい値電圧を例えば -0.5 V 以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【0031】

一方NMOS 113においては、導電型がP型であるゲート電極とP型半導体基板 101の仕事関数の関係からE型NMOSのチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従ってしきい値電圧を例えば 0.5 V 以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクションレンジも大きいボロンを使用せざるを得ず深い埋込みチャネルとなるN+多結晶シリコンをゲート電極としたE型PMOSの場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【0032】

以上の説明により本発明によるゲート電極の導電型をP型としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【0033】

また図1に示したドレインエクステンション構造を採用する理由はアナログ回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的とするもので、入力電圧の高い V_D や V_R および出力電圧の高い昇圧型のSWRなどに対応するためである。

【0034】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は $0.5\text{ }\mu\text{m}$ から数 μm である。図1においてNMOS 113はNMOSの高濃度拡散領域N+119形成の際にP+ゲート電極にドナー不純物を導入したくないため両側がオフセット構造となっているが、PMOS 112に関しては素子の回路での使用方法によりその回路において適切な構造を選択することができる。標準的には電流方

向が双方向でソースとドレインがケースバイケースで入れ替わり両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には図1に示すように寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。

【0035】

図1にはP-抵抗体114およびN-抵抗体115の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的でP-抵抗体114もしくはN-抵抗体115のどちらかしかを搭載しない場合もある。さらに図示はしていないが用途に応じて後述する工程により、不純物濃度がソースやドレインの高濃度領域と同程度のP+抵抗体やN+抵抗体を形成することも可能である。

【0036】

次に本発明を実製品に適用した場合の具体的な効果を図2を用いて説明する。

【0037】

図2は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路123とエラーアンプ124とPMOS出力素子125と抵抗129からなる分圧回路130とからなり、入力端子126に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子128に出力する機能を有する半導体装置である。

【0038】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化が可能なCMOSによりエラーアンプやPMOS出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度であるP-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【0039】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小

型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【 0 0 4 0 】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【 0 0 4 1 】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

【 0 0 4 2 】

非飽和動作におけるMOSトランジスターのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

【 0 0 4 3 】

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 4 4 】

本発明によるP+多結晶シリコン単極をゲートとしたCMOS構造は、オフ時のリ

ーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。

【 0 0 4 5 】

またVRにおける本発明のP+多結晶シリコン単極ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができ、従来のN+多結晶シリコンをゲート電極とした場合のE型NMOSが表面チャネル型でD型NMOSが埋込みチャネル型から構成される基準電圧回路に比べ、温度変化に対し出力電圧変化の小さい基準電圧回路を提供できることも挙げられる。

【 0 0 4 6 】

さらに本発明のP+多結晶シリコン単極ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 4 7 】

以上VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 4 8 】

次に本発明のCMOS半導体装置の製造方法を図面を用いて説明する。

図3はP型半導体基板101にNウェル102を形成した後、いわゆるLOCOS法により素子分離領域であるフィールド絶縁膜106を形成し、しきい値制御のためのチャネル領域への不純物ドーピングをイオン注入法によりNMOS、PMOS各々に選択的に行い、その後ゲート絶縁膜105を例えば電気炉中での熱酸化により形成した後、第一の多結晶シリコン131を被着した様子を示している。

【0049】

本例においてはP型半導体基板を用いたシングルNウェル構造を示しているが、例えばノイズ対策やユーザの要求によりVdd端子を実装のタブと同電位としたい場合など、N型半導体基板を用いPウェルを形成するが、その場合においても本発明による低電圧、低消費電力、低コストであるCMOSの効果は図3に示すP型半導体基板Nウェル方式と同様に得られる。

【0050】

またNMOSとPMOSの寄生容量や最小L長のバランスを考慮し、両MOSとも同程度の濃度の半導体中に形成したい場合、すなわちツインウェル方式を用いる場合があるが、この場合においてもスターティングマテリアルである半導体基板の導電型、つまりP型半導体基板、N型半導体基板を問わず本発明による低電圧動作、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。

【0051】

また図3において素子分離はLOCOS法を示しているが、分離領域の縮小の目的で図示はしていないがShallow Trench Isolation(STI)を用いても本発明による低電圧、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。

【0052】

LOCOS法とSTIの使い分けは一般的には最大動作電圧に依存する。最大動作電圧が数V程度の場合にはSTIが面積的に有利であるが、それ以上の動作電圧の場合LOCOS法が工程の簡便さの観点から有利である。

【0053】

しきい値制御のためのチャネル領域への不純物ドーピングは前述したようにイオン注入法により行うが、ゲート電極の導電型がP+多結晶シリコンであるため、E型NMOS、D型NMOSの両NMOSに対してはドーパントとしてドナーであるリンないし砒素を用いる。前述したように低しきい値化にはできるだけ表面チャネル型に近づけておきたいため、拡散係数の大きい砒素が有利である。E型PMOSの場合も同様にドナーを用いるが、D型PMOSにはアクセプターであるボロンないしBF₂を用いる。D型PMOSにおいてもしきい値制御性の観点からチャネルはできるだけ表面に近づけておきたいため、イオン注入後の不純物プロファイルを浅く保てるBF₂を通

常は用いる。ドーズ量は所望とするしきい値の値によるが通常は $10^{11} \text{ atoms/cm}^2$ から $10^{12} \text{ atoms/cm}^2$ の範囲である。

【0054】

多結晶シリコンは通常減圧での化学気相成長法 (Chemical Vapor Deposition、以後CVDと表記)によりシランガスを分解することで酸化膜上に成膜される。膜厚は薄い場合後述するように多結晶シリコン上に形成する高融点金属シリサイド被着時に半導体基板やゲート絶縁膜に損傷を与える場合があるためある程度の厚さが必要である。ポリサイドのパターニングにおけるスループットおよび下地ゲート酸化膜とのエッチング選択比なども考慮して通常は 1000 \AA から 4000 \AA の間の膜厚とする。

【0055】

次に図4に示すようにアクセプター不純物である BF_2 をイオン注入法により第一の多結晶シリコン131中に導入する。

ゲート電極および配線はできるだけ低抵抗化しておきたいため、濃度としては $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、ドーズ量としては $1 \times 10^{15} \text{ atoms/cm}^2$ 以上の条件でイオン注入する。

【0056】

また第一の多結晶シリコン中へのアクセプター不純物の導入は、電気炉中においてプリデポとドライブインを行う方法もしくは分子層ドーピング後に熱処理を行う工程によっても形成できる。

【0057】

これらの方法はイオン注入法に比べアクセプター濃度を格段に大きくすることが可能であるため低抵抗化の点において有利であるが、濃度の制御性が悪く、高濃度に不純物が導入された場合これ以降の工程での熱処理によりアクセプター不純物であるボロンがゲート電極からゲート絶縁膜を通りチャネル中に拡散してしきい値電圧の変動をもたらす場合があるので、イオン注入による形成の方が無難である。

【0058】

またさらに工程を簡便とするために図3で説明した第一の多結晶シリコン13

1 形成と同時に不純物導入を行う Doped-CVD 法によっても図 4 までに説明したのと同様な構造が得られる。この場合にも低抵抗化しておきたいため不純物濃度としては $1 \times 10^{19} \text{atoms/cm}^3$ 以上とする。

【 0 0 5 9 】

次に図 5 に示すように P+ 多結晶シリコン 1 0 7 上にスパッタ法ないしは CVD 法により高融点金属シリサイド 1 3 5 を被着する。高融点金属シリサイドとしてはモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドが用いられ膜厚は 5 0 0 Å から 2 5 0 0 Å の範囲である。形成はダメージの心配はあるが高融点金属シリサイドと多結晶シリコンの密着性の観点から通常はスパッタ法を用いる。高融点金属シリサイドによりゲート電極および配線のシート抵抗は数 Ω/\square から 1 0 Ω/\square 程度と、多結晶シリコン単層からなるゲート電極や配線のシート抵抗値の数十 Ω/\square 程度に比べ各段にシート抵抗値を下げる事が可能となり、半導体製品の機能が向上する。

【 0 0 6 0 】

次に図 6 に示すようにフォトリソグラフィ法とエッチングにより高融点金属シリサイドと多結晶シリコンをパターニングしてゲート電極と配線を形成する。ゲート電極や抵抗体の加工は精度が求められるため異方性ドライエッチを採用する。

【 0 0 6 1 】

次に図 7 に示すように絶縁膜 1 3 3 を形成した後、第二の多結晶シリコン 1 3 4 を被着する。

【 0 0 6 2 】

絶縁膜は例えば熱酸化法による膜厚が数百 Å 程度の酸化膜もしくは CVD 法によるやはり膜厚が数百 Å 程度の酸化膜である。

【 0 0 6 3 】

第二の多結晶シリコン 1 3 4 は第一の多結晶シリコン膜同様 CVD 法により成膜されるが、膜厚が 5 0 0 Å から 2 0 0 0 Å と第一の多結晶シリコンに比べ薄いため成膜温度を低温化して行う場合がある。また本工程での成膜をスパッタ法により行う場合もある。

【 0 0 6 4 】

ゲート電極や配線に用いられる第一の多結晶シリコンに比べ、より薄膜である第二の多結晶シリコンを用いて抵抗体を形成することで、抵抗体のシート抵抗値を数 $k\Omega/\square$ から数十 $k\Omega/\square$ 程度に高く設定してもその抵抗値精度を十分確保することが可能となる。

【 0 0 6 5 】

次に図 8 に示すようにフォトリソグラフィ法により後に N 型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により第二の多結晶シリコン中に選択的に導入する。

【 0 0 6 6 】

後述するように後の工程において第二の多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電型が N 型でかつ一定範囲内の濃度であるようにドーズ量を設定しておく。通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【 0 0 6 7 】

また回路や製品によっては N 型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図 8 に示した工程は省略される。

【 0 0 6 8 】

次にフォトレジスト 1 3 2 を剥離した後、図 9 に示すように P 型抵抗体領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により第二の多結晶シリコン中全域に導入する。

【 0 0 6 9 】

ドーズ量は通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗

値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。N型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【0070】

またやはりN型抵抗体同様、回路や製品によってはP型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図9に示した工程は省略される。図8から図9に示す工程により第二の多結晶シリコン中にN型抵抗体領域、P型抵抗体領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくともかまわない。図8と図9に示す工程を入れ替えてもN型抵抗体領域とP型抵抗体領域は同じように形成される。

【0071】

次に図10に示すようにフォトリソグラフィー法とエッチングにより第二の多結晶シリコンをパターニングして抵抗体を形成する。

抵抗体の加工は精度が求められるため異方性ドライエッチング法により行われる。

【0072】

次に図11に示すようにフォトリソグラフィー法によりNMOSを開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板中に導入しNMOSの低濃度のソース、ドレインであるN-領域119を形成する。

【0073】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $10^{12} \text{ atoms/cm}^2$ から $10^{14} \text{ atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{ atoms/cm}^3$ から $10^{18} \text{ atoms/cm}^3$ のオーダーである。

【0074】

NMOSにおいては前述したように高濃度のソース、ドレイン形成においてフォトレジストによりゲート電極をマスクして不純物導入する必要があるため、図11に示す工程においては必ずソース、ドレインの両方に低濃度のドナー不純物を導入しておく必要がある。またこのときNMOSのP+多結晶シリコンゲート電極にも

ドナー不純物は導入されるが、オーダーが異なるためゲート電極の仕事関数や抵抗値に影響を与えるものでない。

【0075】

またこの工程においてサブスレッショルド係数を劣化させずパンチスルー耐圧を向上させるため、同じフォトリソパターンをマスクとして比較的高いエネルギーでアクセプター不純物をイオン注入し、N-低濃度領域119下部にいわゆるポケットを設ける場合もある。

【0076】

次にフォトリソを除去したのち、図12に示すようにフォトリソグラフィー法によりPMOSを開口するようにフォトリソ132をパターニングした後、ボロンないし BF_2 などのアクセプターを低濃度にイオン注入法によりNウェル中に導入しPMOSの低濃度のソース、ドレインであるP-領域120を形成する。

【0077】

図12に示す例においてはPMOSの片側、すなわちドレイン側にしかP-領域を形成していないが、前述したようにPMOSの回路における使用方法によってはソース、ドレインの両方にP-領域を形成してもよい。さらに本工程においてソースとドレインの両方にP-領域を形成し、後の工程の高濃度P+拡散層形成時にドレイン側だけをゲート電極からオフセットするようにP+拡散層を形成しても図1に示すPMOS112構造が得られる。

【0078】

また本工程においても図10での工程と同様に比較的高いエネルギーでドナー不純物をイオン注入し、P-低濃度領域120下部にいわゆるポケットを設ける場合もある。

【0079】

次にフォトリソ132を剥離した後、図13に示すようにフォトリソグラフィー法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトリソ132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形

成する。

【 0 0 8 0 】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。

【 0 0 8 1 】

またこの場合NMOSのゲート電極上にはフォトレジストが置かれているため、NMOSのP+ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【 0 0 8 2 】

このときフォトレジストはゲート電極に隣接するソース、ドレインの一部をマスクするようにパターニングされているが、このマスク幅は前述したように通常は $0.5 \mu\text{m}$ から数 μm である。しかしホットキャリアやチャネル長変調を考慮しなくてもよいソース側は単にゲート電極をマスクする目的でソース側にもフォトレジストを配置するので、このときはフォトリソグラフィ法で使用するアライナーのアライメントエラー値だけゲート電極からフォトレジストを張出しておけばよく $0.3 \mu\text{m}$ 程度で済む。

【 0 0 8 3 】

さらに図示はしていないが温度係数の改善などの目的で本工程により第二の多結晶シリコンによるN型の抵抗体領域の全域が高濃度であるN+抵抗体を形成することも可能である。

【 0 0 8 4 】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図 1 4 に示すようにフォトリソグラフィ法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度でイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域 1 0 4 とP+多結晶シリコン領域 1 0 8 を形成する。

【 0 0 8 5 】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。

【0086】

また本工程においても図13において説明したようにP型抵抗領域の全域が高濃度であるP+抵抗を形成することも可能である。

【0087】

以上説明してきたように図3から図14の工程を経ることにより、図1に示すCMOSの構造が得られる。

【0088】

次に本発明のCMOS半導体装置の製造方法の別の実施例を説明する。

【0089】

図15は前述した図3から図9までの工程のうち、図8と図9で示したN型抵抗領域とP型抵抗領域への不純物ドーピング工程を行わずに第二の多結晶シリコンをパターニングして抵抗を形成する工程までを行った後、フォトリソグラフィ法によりNMOSとN型抵抗となる領域を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板および多結晶シリコン中に導入しNMOSの低濃度のソース、ドレインであるN-領域119およびN-多結晶シリコン領域111を形成する。

【0090】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $10^{12} \text{atoms/cm}^2$ から $10^{14} \text{atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{atoms/cm}^3$ から $10^{18} \text{atoms/cm}^3$ のオーダーである。

【0091】

これらの不純物濃度は比較的近いいため製品の仕様によってはNMOSの低濃度領域と多結晶シリコンによるN型抵抗領域に同時に不純物ドーピングが可能であり、工程を削減することが可能となる。

【0092】

次に図16に示すようにフォトリソグラフィ法によりPMOSとP型抵抗となる領域を開口するようにフォトレジスト132をパターニングした後、ボロンな

いし BF_2 などのアクセプターを低濃度にイオン注入法によりNウェルおよび多結晶シリコン中に導入しPMOSの低濃度のソース、ドレインであるP-領域120およびP-多結晶シリコン領域110を形成する。

【0093】

不純物濃度は通常はドーズ量が $10^{12}\text{atoms}/\text{cm}^2$ から $10^{14}\text{atoms}/\text{cm}^2$ のオーダーであり、この場合の濃度は $10^{16}\text{atoms}/\text{cm}^3$ から $10^{18}\text{atoms}/\text{cm}^3$ のオーダーである。

【0094】

図15で示した場合と同様、工程の削減を目的とした製造方法である。

【0095】

以降の工程は図13、図14に示した製造方法と同じ工程を行い図1に示すCMOS構造を得る。以上に示した本発明の別の製造方法によればマスク工程を削減することが可能であり、コストや工期の面で有利である。

【0096】

次に本発明のCMOS半導体装置の製造方法の別の実施例を説明する。

図17は前述した図3から図4までの工程を行った後、コバルトもしくはチタンなどの高融点金属136をP+多結晶シリコン107上にスパッタ法により被着する。

【0097】

コバルト、チタンともに膜厚は100Åから500Åの範囲であり、コバルトの場合にはチタンもしくはチタンナイトライドを数十Åから数百Å積層する場合もある。

【0098】

次に例えばRTP (Rapid Thermal Process) により600℃から750℃程度の温度で数十秒から1分間程度の熱処理を行い、多結晶シリコン131と接している部分の高融点金属をシリサイド化し、その後700℃から900℃程度の温度で数十秒RTP処理を行う。その様子を図18に示す。

【0099】

以降は図6から図14まで説明した製造方法と同様な工程を経ることにより、

図 1 に示す CMOS の構造が得られる。

【 0 1 0 0 】

さらに図示はしないが以上を示した高融点金属を被着しシリサイド化する製造方法と、NMOS および PMOS の低濃度領域と多結晶シリコンによる抵抗体領域を同時に不純物ドーピングする製造方法とを組み合わせることによっても図 1 に示す CMOS 構造が得られ、この場合さらなる工程の削減が可能となり、製造工期および製造コストの大幅な改善となる。

【 0 1 0 1 】

以上本発明による相補型 MOS 半導体装置の製造方法を図面に基づいて説明したが、以上の説明では NMOS と PMOS とともに MOS の低濃度拡散領域を先に形成し高濃度拡散領域の形成をその後に行っていたが、先に高濃度拡散領域を形成しその後低濃度拡散領域を形成しても図 1 に示す相補型半導体装置の構造が得られ、半導体装置のもたらす効果も全く同じである。

【 0 1 0 2 】

また本発明においては先にゲート電極や配線領域となるポリサイド構造を形成し、その後薄膜多結晶シリコンによる抵抗体を形成したが、先に薄膜多結晶シリコンによる抵抗体を形成しその後ゲート電極や配線領域となるポリサイド構造を形成することも本実施の形態で説明した工程の順番を組みかえることにより可能であることも最後に言及しておく。

【 0 1 0 3 】

【発明の効果】

上述したように、本発明は CMOS と抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOS のゲート電極の導電型を NMOS、PMOS とともに P 型単極のポリサイド構造とし、PMOS は表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型である NMOS もしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路や CR 回路に用いられる抵抗体をゲートポリサイド電極とは異なる層の薄膜多結晶シリコンとすることで、従来の N+ 多結晶シリコンゲート単極の CMOS やチャネル

とゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする製造方法を提供する。

【図面の簡単な説明】

【図 1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図 2】

半導体装置による正型VR構成概要。

【図 3】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 4】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 5】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 6】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 7】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 8】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 9】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 0】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 1】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 2】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 3】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 4】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 5】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 6】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 7】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 8】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 9】

従来のCMOS半導体装置の模式的断面図。

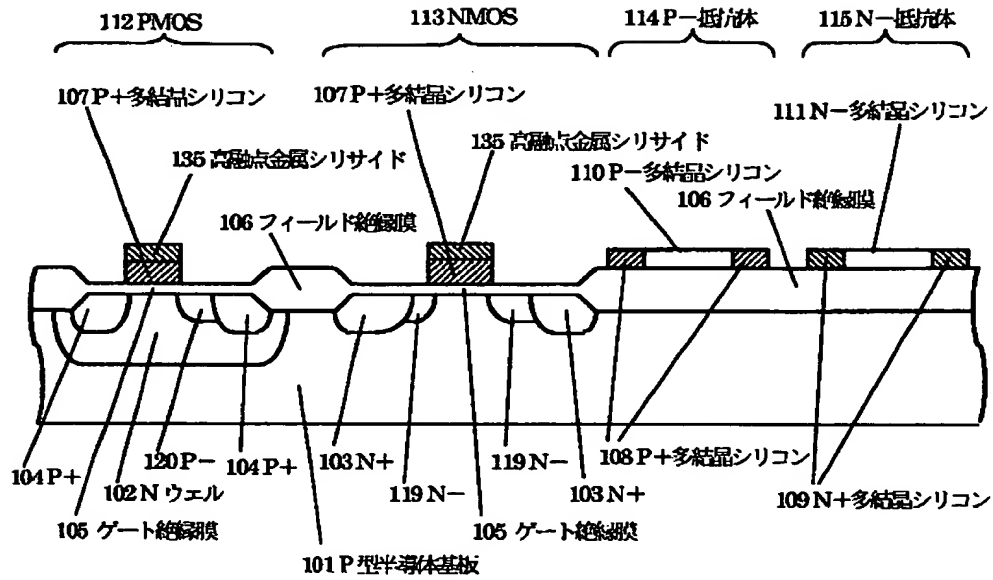
【符号の説明】

- 1 0 1、2 0 1 P型半導体基板
- 1 0 2、2 0 2 Nウェル
- 1 0 3、2 0 3 N+
- 1 0 4、2 0 4 P+
- 1 0 5、2 0 5 ゲート絶縁膜
- 1 0 6、2 0 6 フィールド絶縁膜
- 1 0 7 P+多結晶シリコン
- 1 0 8 P+多結晶シリコン
- 1 0 9、2 0 9 N+多結晶シリコン
- 1 1 0 P-多結晶シリコン
- 1 1 1、2 1 1 N-多結晶シリコン
- 1 1 2、2 1 2 PMOS
- 1 1 3、2 1 3 NMOS
- 1 1 4 P-抵抗体
- 1 1 5、2 1 5 N-抵抗体

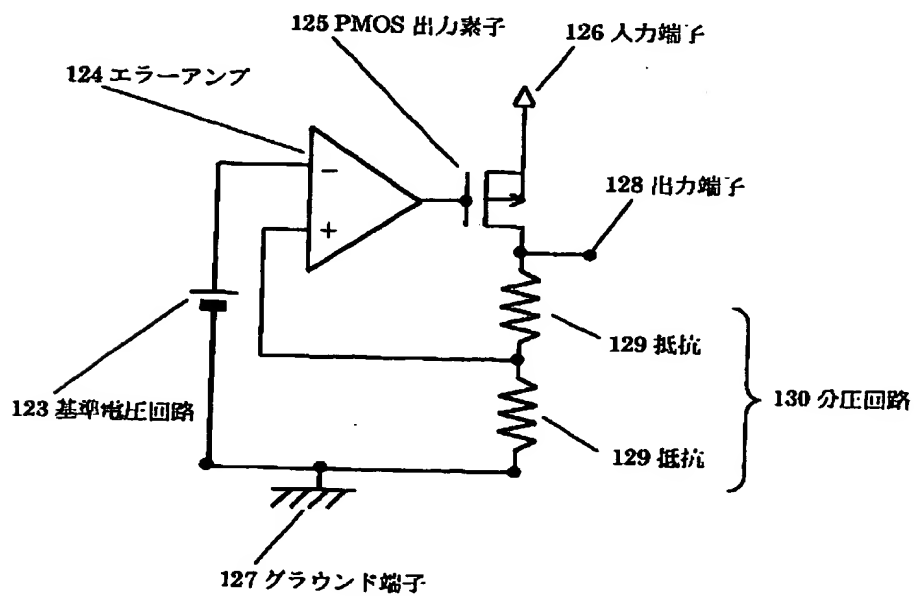
- 1 1 9 N-
- 1 2 0 P-
- 1 2 2 絶縁膜
- 1 2 3 基準電圧回路
- 1 2 4 エラーアンプ
- 1 2 5 PMOS出力素子
- 1 2 6 入力端子
- 1 2 7 グラウンド端子
- 1 2 8 出力端子
- 1 2 9 抵抗
- 1 3 0 分圧回路
- 1 3 1 第一の多結晶シリコン
- 1 3 2 フォトレジスト
- 1 3 3 絶縁膜
- 1 3 4 第二の多結晶シリコン
- 1 3 5 高融点金属シリサイド
- 1 3 6 高融点金属
- 2 3 1 N+多結晶シリコン
- 2 3 2 P+多結晶シリコン

【書類名】 図面

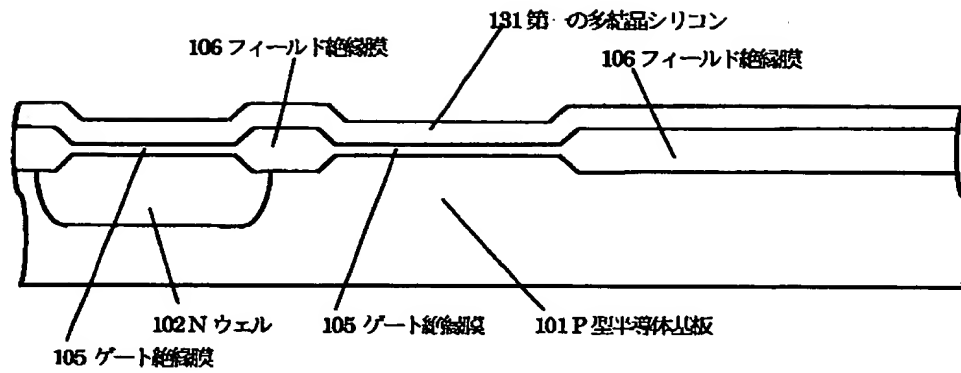
【図 1】



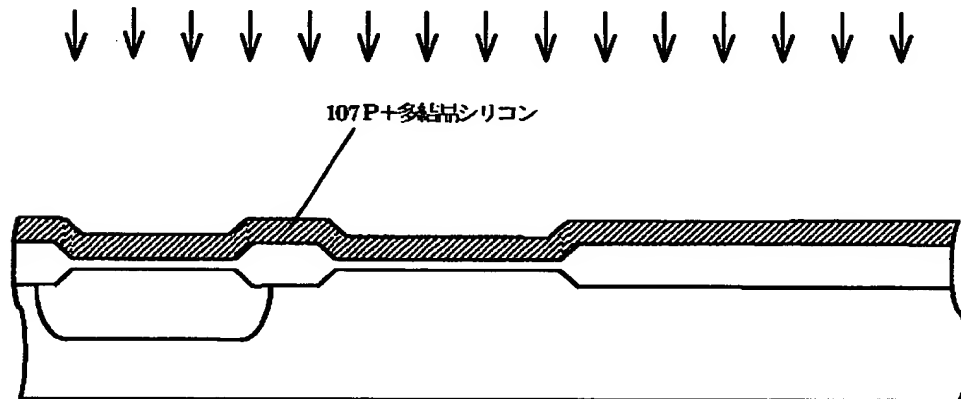
【図 2】



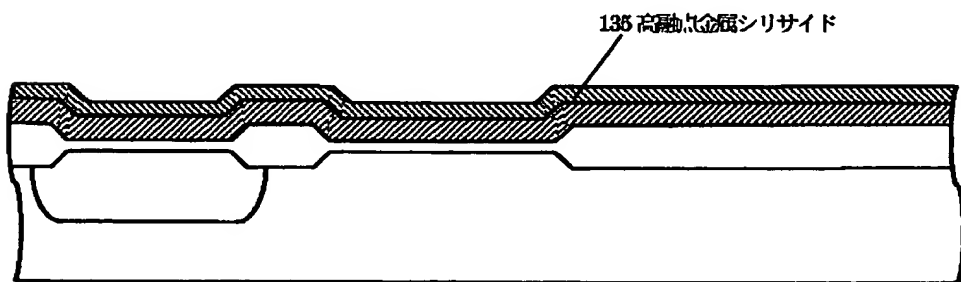
【図 3】



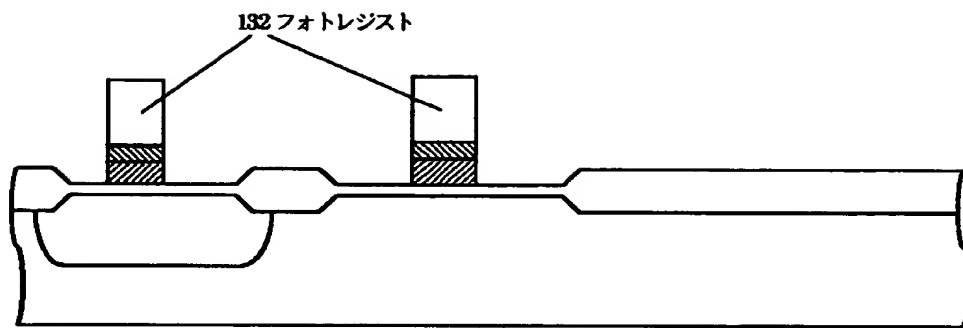
【図 4】



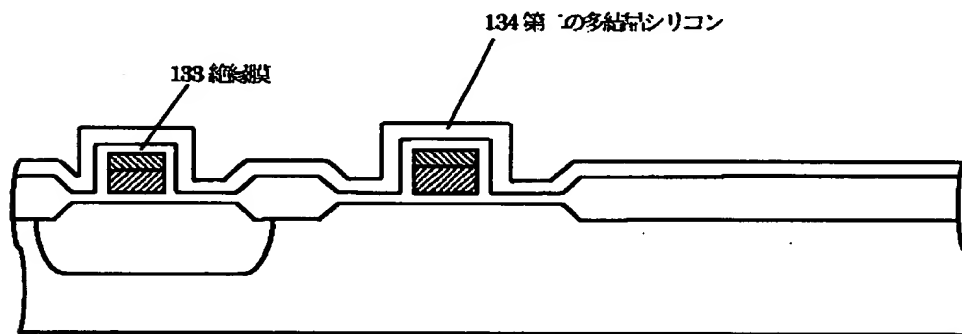
【図 5】



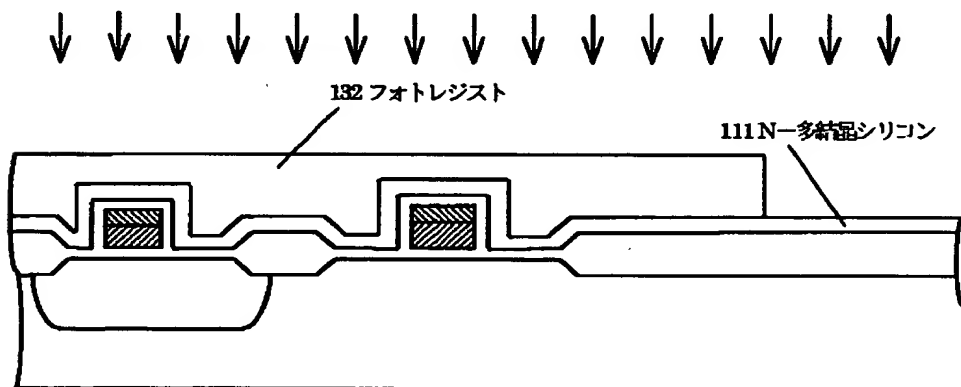
【図 6】



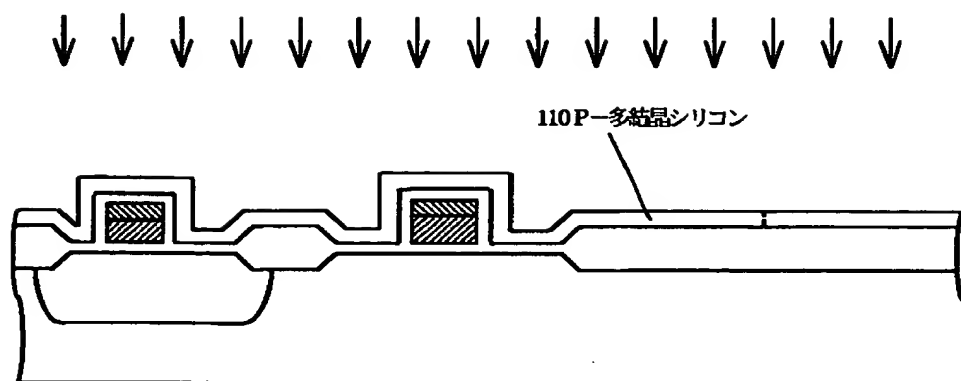
【図 7】



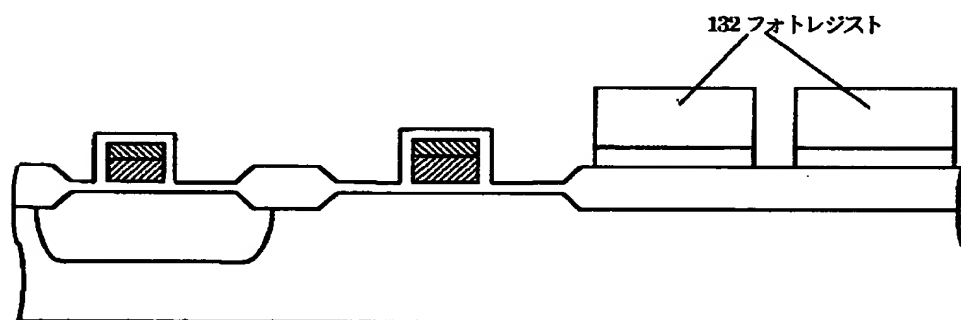
【図 8】



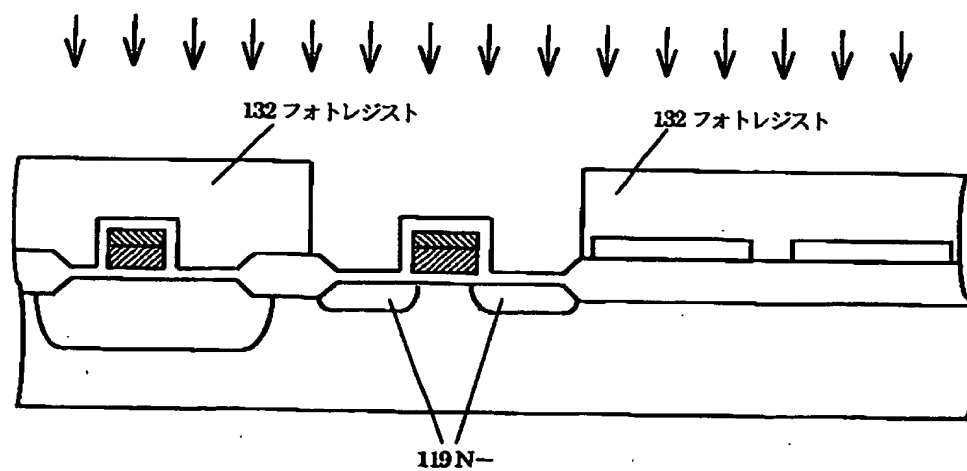
【図 9】



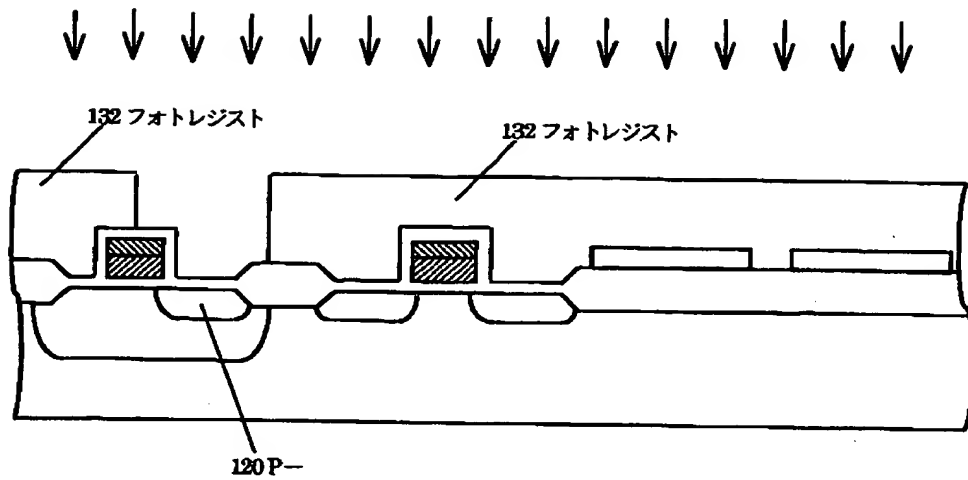
【図 10】



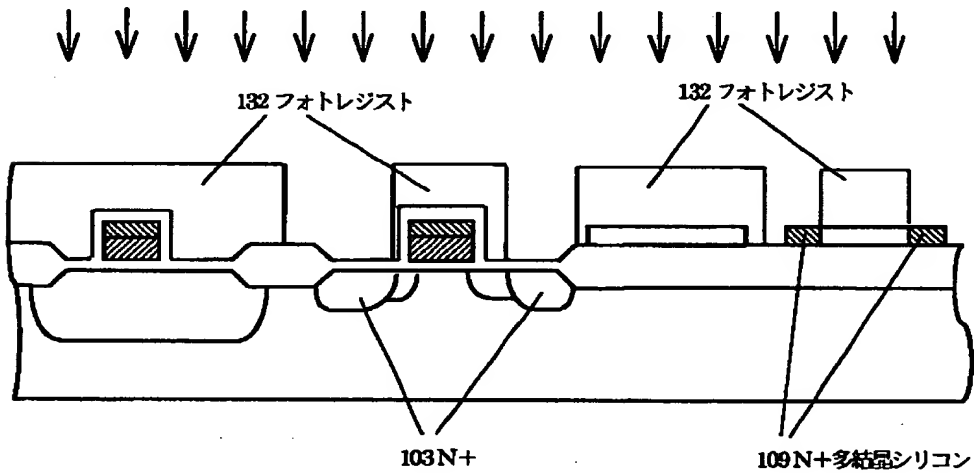
【図 11】



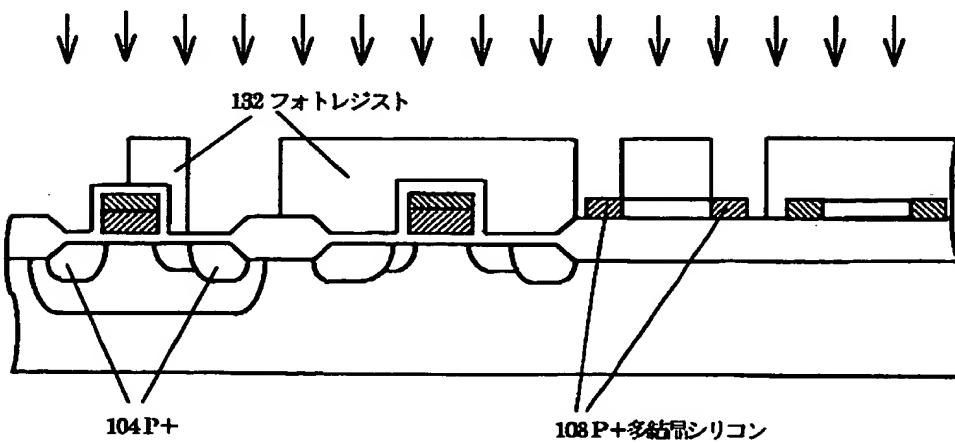
【図 1 2】



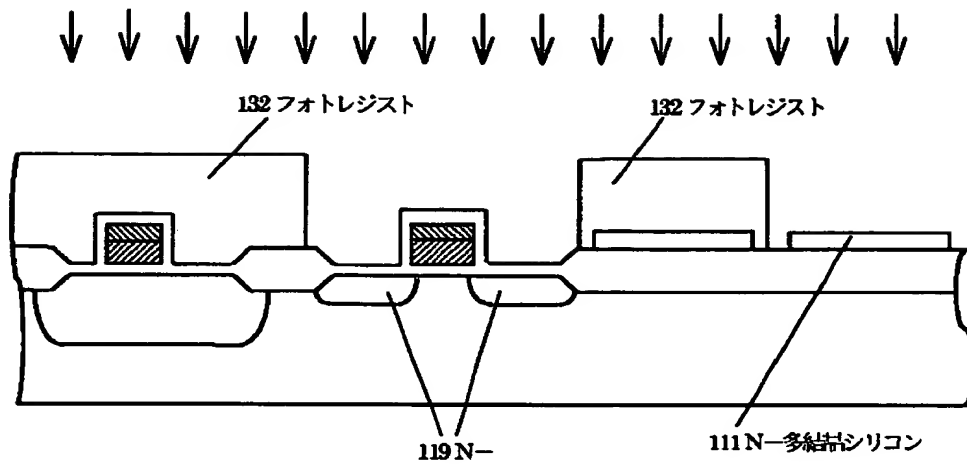
【図 1 3】



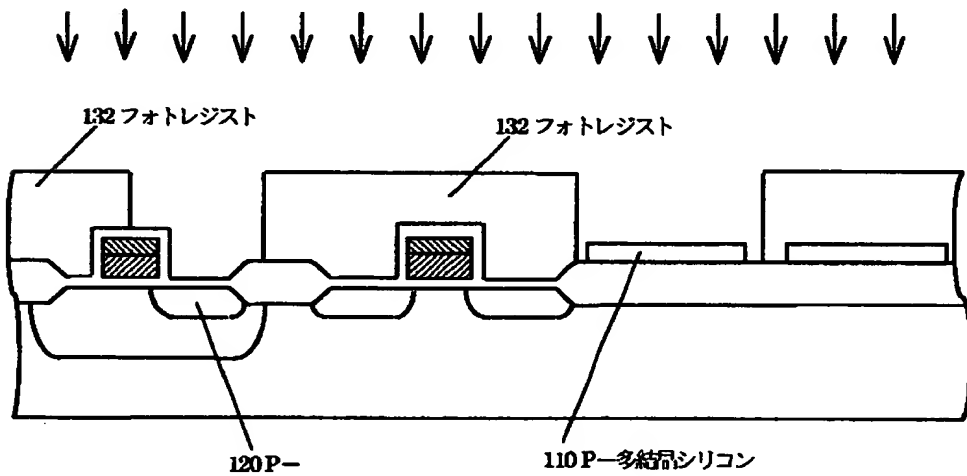
【図 1 4】



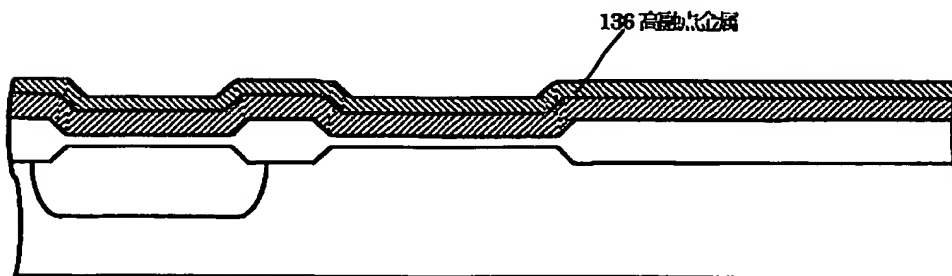
【図 15】



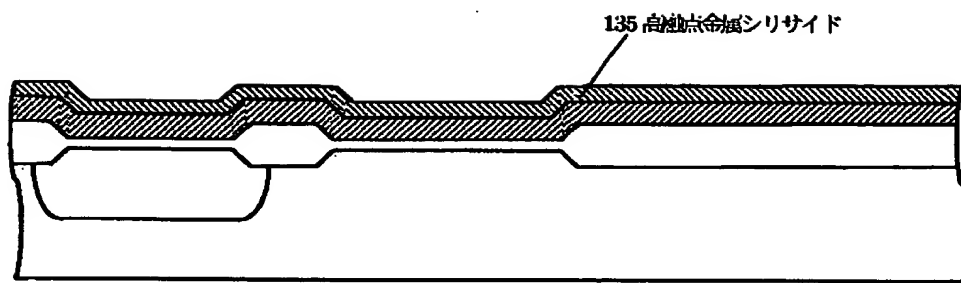
【図 16】



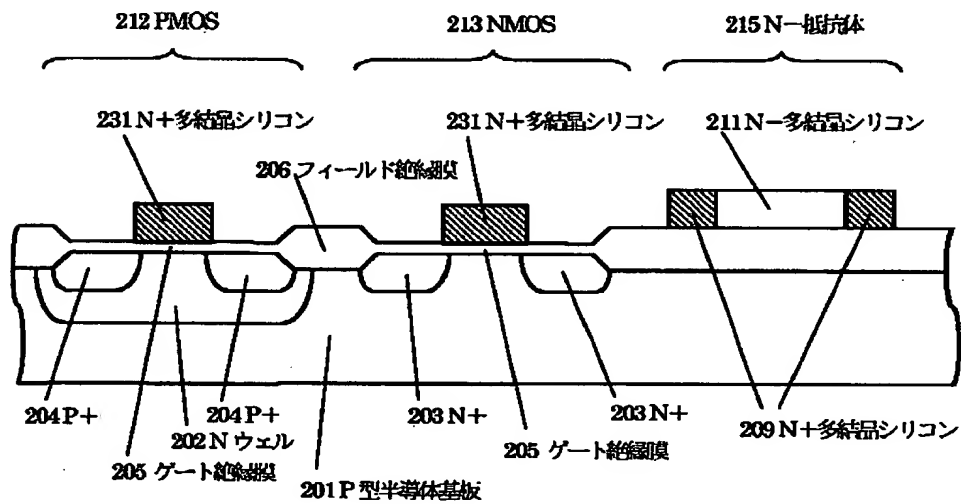
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有するパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする構造の製造方法を提供することを目的とする。

【解決手段】 CMOSと抵抗体とを含むパワーマネージメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極のポリサイド構造を可能とする製造法を用いる。PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とことなる層の薄膜多結晶シリコンが使用可能な製造方法とすることで、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネージメント半導体装置やアナログ半導体装置の実現を特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 2 5]

1. 変更年月日	1 9 9 7 年 7 月 2 3 日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬 1 丁目 8 番地
氏 名	セイコーインスツルメンツ株式会社